



Customer No. 22,852  
Attorney Docket No. 04329.3260

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of: )  
Yoshio OZAWA )  
Application No.: 10/791,870 ) Group Art Unit: 2818  
Filed: March 4, 2004 ) Examiner:  
For: NONVOLATILE )  
SEMICONDUCTOR MEMORY )  
CELL AND METHOD OF )  
MANUFACTURING THE SAME )

**Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450**

Sir:

**CLAIM FOR PRIORITY**

Under the provisions of 35 U.S.C. § 119, Applicant hereby claims the benefit of the filing date of Japanese Patent Application No. 2004-000518, filed January 5, 2004, for the above-identified U.S. patent application.

In support of this claim for priority, enclosed is one certified copy of the priority application.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,  
GARRETT & DUNNER, L.L.P.

Dated: June 17, 2004

By: 

Richard V. Burguljian  
Reg. No. 31,744

RVB/FPD/gah  
Enclosures

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 4 年   1 月   5 日  
Date of Application:

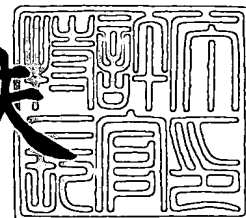
出 願 番 号            特 願 2 0 0 4 - 0 0 0 5 1 8  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 4 - 0 0 0 5 1 8 ]

出   願   人            株式会社東芝  
Applicant(s):

2 0 0 4 年   4 月   6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 A000305840  
【提出日】 平成16年 1月 5日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 29/78  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内  
    【氏名】 小澤 良夫  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

半導体基板と、

この半導体基板上に積層形成された、トンネル絶縁膜、浮遊ゲート電極、電極間絶縁膜、及び制御ゲート電極からなり、且つ電極間絶縁膜を第 1 の酸化剤バリア層、中間絶縁層、第 2 の酸化剤バリア層の 3 層構造に形成した積層ゲート構造部と、

この積層ゲート構造部の両側面にそれぞれ形成されたゲート側壁絶縁膜と、  
を具備してなり、

前記ゲート側壁絶縁膜の膜厚は、前記浮遊ゲート電極の側部において前記電極間絶縁膜側から前記トンネル絶縁膜側に向かって増加し、前記浮遊ゲート電極のチャネル長方向の幅は、前記電極間絶縁膜側から前記トンネル絶縁膜側に向かって減少していることを特徴とする不揮発性半導体メモリセル。

**【請求項 2】**

前記トンネル絶縁膜の表面上において、前記浮遊ゲート電極の幅は 50 nm 以下であり、且つ一方の側壁絶縁膜の前記浮遊ゲート電極に対して反対側の端部と他方の側壁絶縁膜の前記浮遊ゲート電極に対して反対側の端部との間の距離が、前記浮遊ゲート電極の幅の 1.3 倍以上であることを特徴とする請求項 1 記載の不揮発性半導体メモリセル。

**【請求項 3】**

半導体基板上にトンネル絶縁膜を形成する工程と、

前記トンネル絶縁膜上に浮遊ゲート電極となる第 1 の導電層を形成する工程と、

前記第 1 の導電層上に酸化剤の透過を抑制する第 1 の酸化剤バリア層、中間絶縁層、及び第 2 の酸化剤バリア層からなる電極間絶縁膜を形成する工程と、

前記電極間絶縁膜上に制御ゲート電極となる第 2 の導電層を形成する工程と、

前記第 1、第 2 の導電層、及び電極間絶縁膜を選択的にエッチングすることにより積層ゲート構造部を形成する工程と、

前記積層ゲート構造部の側面を酸化又は酸窒化することにより、前記浮遊ゲート電極の側部において前記電極間絶縁膜側から前記トンネル絶縁膜側に向かって厚くなるゲート側壁絶縁膜を形成する工程と、

を含むことを特徴とする不揮発性半導体メモリセルの製造方法。

**【請求項 4】**

前記ゲート側壁絶縁膜を形成する工程の前に、前記第 2 の導電層上に第 3 の酸化剤バリア層を形成しておくことを特徴とする請求項 3 記載の不揮発性半導体メモリセルの製造方法。

**【請求項 5】**

前記ゲート側壁絶縁膜を形成する工程の後に、前記ゲート側壁絶縁膜をマスクとして用い、前記半導体基板中にドーパントイオンを注入してソース・ドレイン拡散層を形成することを特徴とする請求項 3 又は 4 記載の不揮発性半導体メモリセルの製造方法。

## 【書類名】明細書

## 【発明の名称】不揮発性半導体メモリセル及びその製造方法

## 【技術分野】

## 【0001】

本発明は、浮遊ゲート電極と制御ゲート電極を積層したスタックゲート型の不揮発性半導体メモリセルに係わり、特に浮遊ゲート電極と制御ゲート電極との間の電極間絶縁膜が実質的に平坦構造の場合に有効な不揮発性半導体メモリセル及びその製造方法に関する。

## 【背景技術】

## 【0002】

従来、電氣的書き換え可能な不揮発性半導体メモリセルとして、浮遊ゲート電極と制御ゲート電極を積層した積層ゲート構造部を有するスタックゲート型のメモリセルが広く用いられている。このメモリセルにおいて、セルのカップリング比を大きくするために、積層ゲート構造部を逆テーパ状に形成する方法が提案されている（例えば、特許文献1参照）。

## 【0003】

ここで、セルのカップリング比 $\alpha$ とは、制御ゲート電極に印加した電圧 $V_{cg}$ とトンネル絶縁膜に印加される電圧 $V_{ox}$ の比のことで、

$$\alpha = V_{ox} / V_{cg}$$

で定義される。一般的には、セルのトンネル絶縁膜容量 $C_1$ と電極間絶縁膜容量 $C_2$ を用いて、

$$\alpha = C_2 / (C_1 + C_2)$$

と表される。

## 【0004】

図11(a)(b)は、この種のメモリセルの構造を説明するためのもので、(a)はチャンネル長方向に沿った断面、(b)はチャンネル幅方向に沿った断面を示している。図中の201はシリコン基板、202はトンネル絶縁膜、203は多結晶シリコン層からなる浮遊ゲート電極、204は素子分離用埋め込み絶縁膜、205は電極間絶縁膜、206は多結晶シリコン層からなる制御ゲート電極、207はソース/ドレイン拡散層である。積層ゲート構造部が逆テーパ状に形成され、ソース/ドレイン拡散層207は入射角5度の斜めイオン注入法を用いて形成されている。

## 【0005】

上記の構造では、トンネル絶縁膜202に接する浮遊ゲート電極203の面積よりも電極間絶縁膜205に接する浮遊ゲート電極203の面積の方が大きいので、セルのカップリング比が大きくなる。このため、書き込み/消去の動作電圧を低減することができる。

## 【0006】

しかしながら、この種のメモリセルにおいては次のような問題があった。即ち、浮遊ゲート電極の基板側が本来のセル幅よりも短くなり、しかも斜めイオン注入法を用いているので、セルトランジスタとしてのチャンネル長がセル幅よりも大幅に短くなる。このため、セルサイズを微細化すると、短チャンネル効果が顕著になり、しきい値の制御が困難となる。さらに、この短チャンネル効果を回避するために、ソース/ドレイン拡散層207の形成時に、斜めイオン注入法の代わりに垂直イオン注入法を用いると、拡散層207の仕上がり形状がセル間で大きくばらつく。従ってこの場合も、しきい値制御が困難となる。

## 【0007】

また、図11のセル構造では、積層ゲート構造部が逆テーパとなっているため、セル間に絶縁膜204を埋め込むときに、いわゆる“す”ができてしまい、絶縁膜204をセル間に完全に埋め込むことが困難である。このため、セル信頼性が低下するという問題もあった。

【特許文献1】特開平8-316348号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0008】

このように従来、スタックゲート型の不揮発性半導体メモリセルにおいて、セルのカップリング比を大きくするために積層ゲート構造部を逆テーパ状に形成した場合、短チャネル効果によりしきい値の制御が難しくなり、書き込み不良を招く問題があった。

## 【0009】

本発明は、上記事情を考慮して成されたもので、その目的とするところは、セルのカップリング比を大きくすると共に、短チャネル効果を回避することができ、しきい値の制御性を良くして書き込み不良を防止できる不揮発性半導体メモリセル及びその製造方法を提供することにある。

## 【課題を解決するための手段】

## 【0010】

上記課題を解決するために、本発明は次のような構成を採用している。

## 【0011】

即ち、本発明の一態様は、不揮発性半導体メモリセルにおいて、半導体基板と、この半導体基板上に積層形成された、トンネル絶縁膜、浮遊ゲート電極、電極間絶縁膜、及び制御ゲート電極からなり、且つ電極間絶縁膜を第1の酸化剤バリア層、中間絶縁層、第2の酸化剤バリア層の3層構造に形成した積層ゲート構造部と、この積層ゲート構造部の両側面にそれぞれ形成されたゲート側壁絶縁膜と、を具備してなり、前記ゲート側壁絶縁膜の膜厚は、前記浮遊ゲート電極の側部において前記電極間絶縁膜側から前記トンネル絶縁膜側に向かって増加し、前記浮遊ゲート電極のチャンネル長方向の幅は、前記電極間絶縁膜側から前記トンネル絶縁膜側に向かって減少していることを特徴とする。

## 【0012】

また、本発明の別の態様は、不揮発性半導体メモリセルの製造方法において、半導体基板上にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上に浮遊ゲート電極となる第1の導電層を形成する工程と、前記第1の導電層上に酸化剤の透過を抑制する第1の酸化剤バリア層、中間絶縁層、及び第2の酸化剤バリア層からなる電極間絶縁膜を形成する工程と、前記電極間絶縁膜上に制御ゲート電極となる第2の導電層を形成する工程と、前記第1、第2の導電層、及び電極間絶縁膜を選択的にエッチングすることにより積層ゲート構造部を形成する工程と、前記積層ゲート構造部の側面を酸化又は酸窒化することにより、前記浮遊ゲート電極の側部において前記電極間絶縁膜側から前記トンネル絶縁膜側に向かって膜厚が厚くなるゲート側壁絶縁膜を形成する工程と、を含むことを特徴とする。

## 【発明の効果】

## 【0013】

本発明によれば、ゲート側壁絶縁膜の膜厚が電極間絶縁膜側からトンネル絶縁膜側に向かって増大することにより、浮遊ゲート電極のチャンネル長方向の幅が電極間絶縁膜側からトンネル絶縁膜側に向かって減少することになる。従って、浮遊ゲート電極のトンネル絶縁膜に接する面積よりも浮遊ゲート電極の電極間絶縁膜に接する面積の方が大きくなり、セルのカップリング比を大きくすることができる。

## 【0014】

しかも、ゲート側壁絶縁膜の膜厚がトンネル絶縁膜側で厚くなっているため、浮遊ゲート電極のチャンネル長方向幅を短くしたことによりチャンネル長が極端に短くなるのを避けることができ、これによって短チャネル効果を防止することができる。

## 【0015】

即ち、セルトランジスタの短チャネル効果の回避と、セルカップリング比の増加による書き込み不良防止とを両立させることができる。

## 【発明を実施するための最良の形態】

## 【0016】

以下、本発明の実施形態を図面を参照して説明する。

## 【0017】

(実施形態)

図1 (a) (b) は、本発明の一実施形態に係わる不揮発性半導体メモリセルの概略構造を説明するためのもので、(a) はチャネル長（ビット線）方向に沿った断面図、(b) はチャネル幅（ワード線）方向に沿った断面図である。

#### 【0018】

シリコン基板（半導体基板）11上に、トンネル絶縁膜12を介して浮遊ゲート電極13が形成されている。ワード線方向に隣接する浮遊ゲート電極13間には、素子分離用絶縁膜14が埋め込まれている。また、この素子分離用絶縁膜14は、基板11の表面部を一部エッチングして形成された溝内にも埋め込まれている。そして、浮遊ゲート電極13の上面及び素子分離用絶縁膜14の上面は、実質的に平坦構造の電極間絶縁膜20と制御ゲート電極30で覆われている。

#### 【0019】

電極間絶縁膜20は、酸化剤の透過を抑制する第1の酸化剤バリア層21、中間絶縁層22、第2の酸化剤バリア層23を積層した3層構造となっている。制御ゲート電極30は、制御ゲート電極下層31とこれよりも低抵抗の制御ゲート電極上層32の2層構造となっている。

#### 【0020】

浮遊ゲート電極13、電極間絶縁膜20、及び制御ゲート電極30からなる積層ゲート構造部の側面には、ゲート側壁絶縁膜40が形成されている。より具体的には、浮遊ゲート電極13の側壁には第1の側壁絶縁膜41が形成され、制御ゲート電極下層31の側壁には第2の側壁絶縁膜42が形成されている。また、基板表面にはソース／ドレイン拡散層51が形成されている。

#### 【0021】

ここで、浮遊ゲート電極13のチャネル長方向（ビット線方向）の幅がトンネル絶縁膜12側から電極間絶縁膜20側に向かって単調増加し、かつ側壁絶縁膜41の膜厚がトンネル絶縁膜12側から電極間絶縁膜20側に向かって単調減少している。さらに、側壁絶縁膜42は、制御ゲート下層31の下面及び上面で薄く、中央部で厚くなっている。これにより、制御ゲート電極下層31の上面と制御ゲート電極上層32の下面とが接する面積と、制御ゲート電極下層31の下面と電極間絶縁膜20とが接する面積とが、実質的に等しくなっている。

#### 【0022】

図中のPは、電極間絶縁膜20に接する浮遊ゲート電極13のチャネル長方向の幅を示し、浮遊ゲート電極13を挟む2つの側壁絶縁膜41の頂部間の距離に相当している。このPは、積層ゲート構造部の幅であるセル幅Tと実質的に同じである。図中のQは、トンネル絶縁膜12に接する浮遊ゲート電極13の幅を示し、浮遊ゲート電極13を挟む2つの側壁絶縁膜41の底部間の距離（浮遊ゲート電極13側の端部間の距離）に相当している。本実施形態では、 $P > Q$ の関係となっている。

#### 【0023】

図中のRは、チャネル長の長さを示している。図中のSは、浮遊ゲート電極13を挟む2つの側壁絶縁膜41の底部間の距離（浮遊ゲート電極13と反対側の端部間の距離）に相当している。本実施形態では、Sは積層ゲート構造部の幅（セル幅T）よりも長くなっている。また、チャネル長の長さRは $Q < R < S$ の関係となっている。

#### 【0024】

なお、このセルは図2に平面図を示すように、例えばNANDセルユニットの単位セルとして用いられるものである。図1 (a) は図2の矢視A-A' 方向断面、図1 (b) は図2の矢視B-B' 方向断面に相当している。また、図2中の101は素子形成領域、102は素子分離領域、103はゲート配線層（ワード線）を示している。図には示さないが、ビット線はワード線と直交する方向に配置されるものとなっている。

#### 【0025】

このようなメモリセル構造では、トンネル絶縁膜12の面積よりも電極間絶縁膜20の面積の方を大きくすることができ、セルのカップリング比が大きくなる。さらに、

ソース／ドレイン拡散層 51 間の距離を離すことができるため、短チャネル効果を抑制することができる、セルしきい値の制御が容易となる。

#### 【0026】

なお、従来のように積層ゲート構造部を逆テーパ状に形成した構成では、浮遊ゲート電極幅  $Q$  が 50 nm 以下になると短チャネル効果が顕著となる。これに対し本実施形態では、浮遊ゲート電極幅  $Q$  が 50 nm 以下となっても、 $S$  が  $Q$  よりも長い、短チャネル効果を抑制できる。本発明者らの実験によれば、浮遊ゲート電極幅  $Q$  が 50 nm 以下となっても、 $S \geq 1.3Q$  の条件とすれば、短チャネル効果を十分に抑制できることが確認された。

#### 【0027】

図 3 に、短チャネル効果の測定結果を示す。セル幅  $T$  が 55 nm と 45 nm の場合について、ゲート側壁絶縁膜厚を変えて  $S/Q$  の値の異なるセルを形成し、セルしきい値  $V_{th}$  を測定した。図 3 は、同一ウェハ上のセル幅  $1 \mu m$  のセルしきい値  $V_{th}$  ( $T = 1 \mu m$ ) との差を縦軸に取り、グラフ化したものである。 $S/Q$  が 1.3 以上で短チャネル効果が十分に抑制されていることが分かる。

#### 【0028】

ここで、各データポイントの浮遊ゲート電極下部の幅  $Q$  は、ゲート側壁絶縁膜厚によって変わり、下記の (表 1) のようになる。

【表 1】

$S/Q$	$T = 55 \text{ nm}$	$T = 45 \text{ nm}$
1.1	$Q = 52.3 \text{ nm}$	$Q = 42.8 \text{ nm}$
1.2	$Q = 49.5 \text{ nm}$	$Q = 40.5 \text{ nm}$
1.3	$Q = 46.8 \text{ nm}$	$Q = 38.3 \text{ nm}$
1.4	$Q = 44.0 \text{ nm}$	$Q = 36.0 \text{ nm}$

#### 【0029】

また、ゲート側壁絶縁膜 40 が形成されていても制御ゲート電極 (ワード線) 幅が十分に確保できるため、ワード線の抵抗増大による動作速度遅延を回避できる。

#### 【0030】

また、トンネル絶縁膜 12 の面積が電極間絶縁膜 20 の面積の 70 % 以下になるように、浮遊ゲート電極 13 の形状を設定することにより、電極間絶縁膜 20 が実質的に平坦構造の場合でも、書き込み時の電極間絶縁膜リークに起因する動作不良を効果的に回避することができる。

#### 【0031】

例えば、厚さ 8 nm のシリコン酸化膜をトンネル絶縁膜として用い、酸化膜換算膜厚 8 nm のシリコン窒化膜／アルミナ／シリコン窒化膜からなる積層膜を電極間絶縁膜として用いた場合のセル書き込み動作時を考える。トンネル絶縁膜に印加される電界が  $12 \text{ MV/cm}$  のとき、両者の面積比が 1.0 だとセルカップリング比は 0.50 なので、電極間絶縁膜に印加される換算電界は  $12 \text{ MV/cm}$  となる。一方、面積比が 0.7 だとセルカップリング比は 0.59 なので、電極間絶縁膜に印加される換算電界は  $8.3 \text{ MV/cm}$  となる。従って、電極間絶縁膜には殆どリーク電流は流れずに書き込み不良を効果的に回避することができる。

#### 【0032】

次に、図 1 のメモリセル構造の製造方法を、図 4 ～図 10 を用いて説明する。図 4 ～図 10 の (a) (b) は図 1 (a) (b) に対応している。

#### 【0033】

まず、図 4 (a) (b) に示すように、所望の不純物をドーピングしたシリコン基板 1



1の表面に、厚さ10nmのトンネル絶縁膜12を熱酸化法で形成後、浮遊ゲート電極となる厚さ40nmの多結晶シリコン層(第1の導電層)13、CMP(Chemical Mechanical Polish)のストッパとなる絶縁膜61を順次減圧CVD(Chemical Vapor Deposition)法で堆積した。多結晶シリコン層13のドーパント不純物としては、例えばリンを用いたが、この代わりに砒素等の他のドーパント不純物を用いても良い。その後、レジストマスク(図示せず)を用いたRIE(Reactive Ion Etching)法により、ストッパ絶縁膜61、多結晶シリコン層13、トンネル絶縁膜12を順次エッチング加工し、さらにシリコン基板11の露出領域をエッチングして、深さ150nmの素子分離溝62を形成した。

#### 【0034】

次いで、図5(a)(b)に示すように、全面に厚さ300nmのシリコン酸化膜(素子分離用絶縁膜)14を堆積して、素子分離溝62を完全に埋め込んだ。その後、表面部分のシリコン酸化膜14をCMP法で除去して、表面を平坦化した。このとき、CMPストッパ用の絶縁膜61が露出する。

#### 【0035】

次いで、図6(a)(b)に示すように、露出したストッパ絶縁膜61をエッチング除去して、多結晶シリコン層13の表面を露出させた。その後、シリコン酸化膜14の露出表面を希フッ酸溶液を用いてエッチング除去して後退させ、シリコン酸化膜14の表面高さを多結晶シリコン層13の表面とほぼ同じ位置に調整した。その後、電極間絶縁膜20として、シリコン窒化物からなる第1の酸化剤バリア層21、ハフニウム酸化物からなる中間絶縁層22、及びシリコン窒化物からなる第2の酸化剤バリア層23をCVD法で全面に順次形成した。

#### 【0036】

ここで、酸化剤バリア層21、23は酸化剤の透過を抑制するものであり、後述する側壁酸化の際に中間絶縁層22を介して導電層に酸化剤が拡散するのを防止するために設ける。これにより、第1の酸化剤バリア層21は、中間絶縁層22を介して第1の導電層13に酸化剤が拡散するのを防止することになる。第2の酸化剤バリア層23は、中間絶縁層22を介して後述する第2の導電層に酸化剤が拡散するのを防止することになる。

#### 【0037】

次いで、図7(a)(b)に示すように、全面に制御ゲート電極下層となる多結晶シリコン層(第2の導電層)31、シリコン窒化物からなる第3の酸化剤バリア層63を減圧CVD法で順次堆積した。その後、レジストマスク(図示せず)を用いたRIE法により、酸化剤バリア層63、多結晶シリコン層31、電極間絶縁膜20、多結晶シリコン層13を順次エッチング加工して、ワード線方向のスリット部64を形成した。これにより、積層ゲート構造部として、幅が約50nmの浮遊ゲート電極13及び制御ゲート電極下層31が形成された。

#### 【0038】

次いで、図8(a)(b)に示すように、積層ゲート構造部の露出面をRTA(Rapid Thermal Anneal)法により熱酸化して、浮遊ゲート電極13及び制御ゲート電極下層31の側壁に選択的にゲート側壁絶縁膜40を形成した。このとき、浮遊ゲート電極13の側部に形成される第1の側壁絶縁膜41は、酸化剤バリア層21が存在するため、底部側で厚くなり、上部側で薄くなる。一方、制御ゲート電極下層31の側部に形成される第2の側壁絶縁膜42は、酸化剤バリア層23、63が存在するため、中央部で厚く、下端部及び上端部で薄くなる。

#### 【0039】

これは、次のような理由による。即ち、一般に、酸化膜と共に積層された導電層の側面からの酸化では、酸化膜を介して導電層に酸化剤が侵入することにより、導電層の上端や下端のエッジ部の酸化は他の部位の酸化よりも反応が速くなる。しかし、導電層の上面や下面に接して酸化剤バリア層が存在すると、このバリア層により導電層への酸化剤の進入が抑制されることになり、酸化剤バリア層を形成している面において酸化反応が抑制され

る。本実施形態では、浮遊ゲート電極 13 では上面に、制御ゲート電極下層 31 では上下の両面に酸化剤バリア層が形成されているため、図 8 (a) (b) に示すように、側壁絶縁膜 41 の上端部、側壁絶縁膜 42 の上端及び下端部の厚さが薄くなっているのである。

#### 【0040】

ちなみに、酸化性雰囲気中の RTA の 1000℃、30 秒の条件で酸化すると、側壁絶縁膜 41 の膜厚は、電極間絶縁膜 20 との境界付近では極めて薄く、浮遊ゲート電極 13 の中央付近で 10 nm 程度、トンネル絶縁膜 12 との境界付近で 15 nm 程度であった。この場合、トンネル絶縁膜 12 の面積は電極間絶縁膜 20 の面積の約 70 % となった。RTA における酸化性ガスとしては、酸素のみに限らず、酸素と水素との混合ガスを用いても良い。この場合、酸化物が  $H_2O$  となり、トンネル絶縁膜側の酸化がより促進されることになる。

#### 【0041】

なお、ゲート側壁絶縁膜 40 の形成は、900℃以上の温度で行うのが望ましい。これにより、トンネル絶縁膜 12 との境界付近で 15 nm 程度の厚い側壁絶縁膜 41 を形成しても、トンネル絶縁膜 12 へのバースピーク酸化が殆ど進行しないため、側壁絶縁膜形成時の実質的なトンネル絶縁膜の厚膜化を防止することができる。

#### 【0042】

その後、ゲート側壁絶縁膜 40 を含む多層ゲート構造部をマスクにしてイオン注入を行い、ソース／ドレイン拡散層 51 を形成した。このとき、側壁絶縁膜 41 の底部側が広がっているので、仮に注入イオンが内側に入り込んでも、ソース／ドレイン拡散層間の距離、即ちチャネル長を十分確保することができた。

#### 【0043】

なお、側壁絶縁膜 41 の形成膜厚（浮遊ゲート電極 13 の中央付近の膜厚）は、浮遊ゲート電極高さの 20 % 以上に設定するのが望ましい。これにより、側壁絶縁膜 41 の仕上がり膜厚を、浮遊ゲート電極 13 の中央部からトンネル絶縁膜 12 との境界部にわたって十分厚くすることができる。このため、ソース／ドレイン拡散層のイオン注入時に、十分なマスクとして機能し、チャネル長をより広げることができる。

#### 【0044】

次いで、図 9 (a) (b) に示すように、全面に厚さ 300 nm の電極間埋め込み用のシリコン酸化膜 52 を堆積して、電極間のスリット部 64 を完全に埋め込んだ。その後、表面部分のシリコン酸化膜 52 を CMP 法で除去して表面を平坦化し、酸化剤バリア層 63 を露出させた。

#### 【0045】

次いで、図 10 (a) (b) に示すように、露出した酸化剤バリア層 63 をエッチング除去して、多結晶シリコン層 31 の表面を露出させた。その後、全面にコバルトをスパッタして、高温アニールし、制御ゲート上層となるコバルトシリサイド層（第 3 の導電層）32 を形成し、その後、未反応のコバルト層をエッチング除去した。さらに、周知の方法で配線層等を形成して不揮発性メモリセルを完成させた。

#### 【0046】

このように本実施形態によれば、浮遊ゲート電極 13 と制御ゲート下層 31 との間の電極間絶縁膜 20 を、第 1 の酸化剤バリア層 21、中間絶縁層 22、及び第 2 の酸化剤バリア層 23 からなる 3 層構造に形成し、この状態でゲート側壁酸化を行うことにより、浮遊ゲート電極 13 の側壁における側壁絶縁膜 41 の膜厚を、基板側で厚く、電極間絶縁膜側で薄く形成することができ、制御ゲート下層 31 の側壁における側壁絶縁膜 42 の膜厚を、中央部で厚く、下層側及び上層側で厚く形成することができる。

#### 【0047】

即ち、側壁絶縁膜 41 の基板面方向の膜厚が基板側で厚く電極間絶縁膜側で薄くなることは、浮遊ゲート電極 13 のチャネル長方向の幅が基板側で細く電極間絶縁膜 20 側で太くなることを意味する。従って、浮遊ゲート電極 13 のトンネル絶縁膜 12 側の面積よりも電極間絶縁膜 20 側の面積の方を大きくできるため、セルのカップリング比を大きくす

ることができる。これに加えて、側壁絶縁膜41の基板側が厚くなるため、これをマスクに用いて低温でイオン注入を行うことにより、チャンネル長が極端に短くなるのを防止することができる。このため、短チャンネル効果を抑制することができ、セルのしきい値の制御が容易となる。その結果として、書き込み不良を確実に防止することが可能となる。

#### 【0048】

さらに、本実施形態では、制御ゲート電極下層31の上にも第3の酸化剤バリア層63を設け、この状態でゲート側壁酸化を行っているので、制御ゲート電極30の面積減少を回避することができる。このため、ゲート側壁酸化に伴うワード線の抵抗増大を防止することができる。

#### 【0049】

また、浮遊ゲート電極13の側面における側壁絶縁膜41の膜厚を底部側で厚く上部側で薄くするための方法として、浮遊ゲート電極13における不純物のドーピング量を底部側で濃く、上部側で薄くすることが考えられる。しかし、浮遊ゲート電極13の底部の不純物濃度を高くすると、トンネル絶縁膜12への不純物の拡散が生じ、トンネル絶縁膜12の特性が劣化することになる。これに対し本実施形態のように、酸化剤バリア層を設ける方法では、このような不都合を避けることができる。

#### 【0050】

(変形例)

なお、本発明は上述した実施形態に限定されるものではない。実施形態では、ゲート側壁絶縁膜を形成する際にRTA等の酸化法を用いたが、これに限らず、酸窒化法を用いて酸窒化膜を形成するようにしても良い。この場合のガスとしては、一酸化亜窒化( $\text{N}_2\text{O}$ )や一酸化窒化( $\text{NO}$ )ガスを用いればよい。さらに、ラジカル酸化やラジカル酸窒化等の方法を用いても良い。

#### 【0051】

また、酸化剤バリア層としては、シリコン窒化物の代わりに、シリコン酸窒化膜、チタン窒化膜、タングステン窒化膜等を用いることもでき、更にはこれらの積層膜を用いることも可能である。また、実施形態では、電極間絶縁膜が実質的に平坦構造の場合を示したが、必ずしもこれに限るものではない。浮遊ゲート電極を構成する多結晶シリコン層の上面と素子分離用のシリコン酸化膜の上面に段差があっても良い。

#### 【0052】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

#### 【0053】

(まとめ)

以上説明したように本発明は、発明の課題を解決するために次のような構成を採用している。

#### 【0054】

即ち、本発明の一態様に係わる不揮発性半導体メモリセルは、半導体基板11と、この半導体基板11上に積層形成された、トンネル絶縁膜12、浮遊ゲート電極13、電極間絶縁膜20、及び制御ゲート電極30からなり、且つ電極間絶縁膜20を第1の酸化剤バリア層21、中間絶縁層22、第2の酸化剤バリア層23の3層構造に形成した積層ゲート構造部と、この積層ゲート構造部の両側面にそれぞれ形成されたゲート側壁絶縁膜40と、を具備してなり、ゲート側壁絶縁膜40の膜厚は、浮遊ゲート電極13の側部において電極間絶縁膜30側からトンネル絶縁膜12側に向かって増加し、浮遊ゲート電極13のチャンネル長方向の幅が電極間絶縁膜20側からトンネル絶縁膜12側に向かって減少していることを特徴とする。

#### 【0055】

ここで、本発明の望ましい実施態様としては次のものがあげられる。

#### 【0056】

(1) トンネル絶縁膜12の表面上において、浮遊ゲート電極の幅Qは50nm以下であり、且つ一方の側壁絶縁膜41の浮遊ゲート電極13に対して反対側の端部と他方の側壁

絶縁膜 41 の浮遊ゲート 13 に対して反対側の端部との間の距離  $S$  が、浮遊ゲート電極の幅  $Q$  の 1.3 倍以上であること。

【0057】

(2) 電極間絶縁膜 20 は実質的に平坦構造であり、浮遊ゲート電極 13 に接するトンネル絶縁膜 12 の面積は、浮遊ゲート電極 13 に接する電極間絶縁膜 20 の面積の 70% 以下であること。

【0058】

(3) 酸化剤バリア層 21, 23 は、シリコン窒化膜、シリコン酸窒化膜、チタン窒化膜、タングステン窒化膜の何れかであること。

【0059】

(4) ゲート側壁絶縁膜 40 は、浮遊ゲート電極 13 の側面の第 1 の側壁絶縁膜 41 と、制御ゲート電極 30 (より具体的には制御ゲート電極下層 31) の側面の第 2 の側壁絶縁膜 42 とからなること。

【0060】

(5) 制御ゲート電極 30 は、高抵抗の下層 31 と低抵抗の上層 32 の 2 層構造であること。

【0061】

(6) 制御ゲート電極下層 31 は多結晶シリコンであり、制御ゲート電極上層 32 はシリサイドであること。

【0062】

(7) 制御ゲート電極下層 31 の上面と制御ゲート電極上層 32 の下面とが接する面積と、制御ゲート電極下層 31 の下面と電極間絶縁膜 20 とが接する面積とが、実質的に等しいこと。

【0063】

(8) 第 2 の側壁絶縁膜は、制御ゲート電極下層 31 の上面及び下面で薄く、中央部で厚いこと。

【0064】

(9) 浮遊ゲート電極 13 のチャネル幅方向の側面は、素子分離用絶縁膜 14 で埋め込まれていること。

【0065】

また、本発明の別の態様に係わる不揮発性半導体メモリセルの製造方法は、半導体基板 11 上にトンネル絶縁膜 12 を形成する工程と、トンネル絶縁膜 12 上に浮遊ゲート電極となる第 1 の導電層 13 を形成する工程と、第 1 の導電層 13 上に酸化剤の透過を抑制する第 1 の酸化剤バリア層 21, 中間絶縁層 22, 及び第 2 の酸化剤バリア層 23 からなる電極間絶縁膜 20 を形成する工程と、電極間絶縁膜 20 上に制御ゲート電極となる第 2 の導電層 31 を形成する工程と、第 1, 第 2 の導電層 13, 31, 及び電極間絶縁膜 20 を選択的にエッチングすることにより積層ゲート構造部を形成する工程と、積層ゲート構造部の側面を酸化又は酸窒化することにより、浮遊ゲート電極 13 の側部において電極間絶縁膜 20 側からトンネル絶縁膜 12 側に向かって膜厚が厚くなるゲート側壁絶縁膜 40 を形成する工程と、を含むことを特徴とする。

【0066】

ここで、本発明の望ましい実施態様としては次のものがあげられる。

【0067】

(1) ゲート側壁絶縁膜 40 を形成する工程の前に、第 2 の導電層 31 上に第 3 の酸化剤バリア層 63 を形成しておき、第 2 の導電層 31 上に第 3 の酸化剤バリア層 63 が存在する状態でゲート側壁絶縁膜 40 の形成のための酸化又は酸窒化を行うこと。

【0068】

(2) ゲート側壁絶縁膜 40 として、浮遊ゲート電極 13 の側面に第 1 の側壁絶縁膜 41 を形成し、制御ゲート電極 31 の側面に第 2 の側壁絶縁膜 42 を形成すること。

【0069】

(3) ゲート側壁絶縁膜 40 を形成した後に、第 3 の酸化剤バリア層 63 を除去し、次いで、第 2 の導電層 31 上に該導電層 31 よりも抵抗の低い第 3 の導電層 32 を形成すること。

【0070】

(4) 第 1, 第 2 の導電層として多結晶シリコンを用い、第 3 の導電層としてシリサイドを用いること。

【0071】

(5) ゲート側壁絶縁膜 40 を形成する工程の後に、ゲート側壁絶縁膜 40 をマスクとして用い、半導体基板 11 中にドーパントイオンを注入してソース／ドレイン拡散層 51 を形成すること。

【0072】

(6) 電極間絶縁膜 20 は実質的に平坦構造であり、浮遊ゲート電極 13 に接するトンネル絶縁膜 12 の面積を、浮遊ゲート電極 13 に接する電極間絶縁膜 20 の面積の 70 % 以下に設定すること。

【0073】

(7) 酸化剤バリア層 21, 23, 63 として、シリコン窒化膜、シリコン酸窒化膜、チタン窒化膜、タングステン窒化膜の何れかを用いること。

【0074】

(8) ゲート側壁絶縁膜 40 を形成するために、RTA 法により導電層 13, 31 を熱酸化すること。

【0075】

また、本発明の更に別の態様に係る不揮発性半導体メモリセルの製造方法は、半導体基板 11 上にトンネル絶縁膜 12 を形成する工程と、トンネル絶縁膜 12 上に浮遊ゲート電極となる第 1 の導電層 13 を形成する工程と、第 1 の導電層 31 上に酸化剤の透過を抑制する第 1 の酸化剤バリア層 21, 中間絶縁層 22, 及び第 2 の酸化剤バリア層 23 からなる電極間絶縁膜 20 を形成する工程と、電極間絶縁膜 20 上に制御ゲート電極下層となる第 2 の導電層 31 を形成する工程と、第 2 の導電層 31 上に第 3 の酸化剤バリア層 63 を形成する工程と、第 1, 第 2 の導電層 13, 31, 電極間絶縁膜 20, 及び第 3 の酸化剤バリア層 63 を選択的にエッチングすることにより積層ゲート構造部を形成する工程と、積層ゲート構造部の側面を酸化又は酸窒化することにより、浮遊ゲート電極 13 の側部において電極間絶縁膜 20 側からトンネル絶縁膜 12 側に向かって膜厚が厚くなる第 1 の側壁絶縁膜 41 を形成すると共に、制御ゲート電極下層 31 の側部において中央部よりも酸化剤バリア層 23, 63 側が薄い第 2 の側壁絶縁膜 42 を形成する工程と、第 3 の酸化剤バリア層 63 を除去した後に制御ゲート電極下層 31 上に下層 31 よりも抵抗の低い制御ゲート電極上層 32 を形成する工程と、を含むことを特徴とする。

【図面の簡単な説明】

【0076】

【図 1】 本発明の一実施形態に係わる不揮発性半導体メモリセルの概略構造を示す断面図。

【図 2】 同実施形態の不揮発性半導体メモリセルを用いた NAND セルの基本構成を模式的に示す平面図。

【図 3】 セル幅 T が 55 nm と 45 nm の場合の短チャネル効果の測定結果を示す特性図。

【図 4】 同実施形態に係わる不揮発性メモリセルの製造工程を示す断面図。

【図 5】 同実施形態に係わる不揮発性メモリセルの製造工程を示す断面図。

【図 6】 同実施形態に係わる不揮発性メモリセルの製造工程を示す断面図。

【図 7】 同実施形態に係わる不揮発性メモリセルの製造工程を示す断面図。

【図 8】 同実施形態に係わる不揮発性メモリセルの製造工程を示す断面図。

【図 9】 同実施形態に係わる不揮発性メモリセルの製造工程を示す断面図。

【図 10】 同実施形態に係わる不揮発性メモリセルの製造工程を示す断面図。

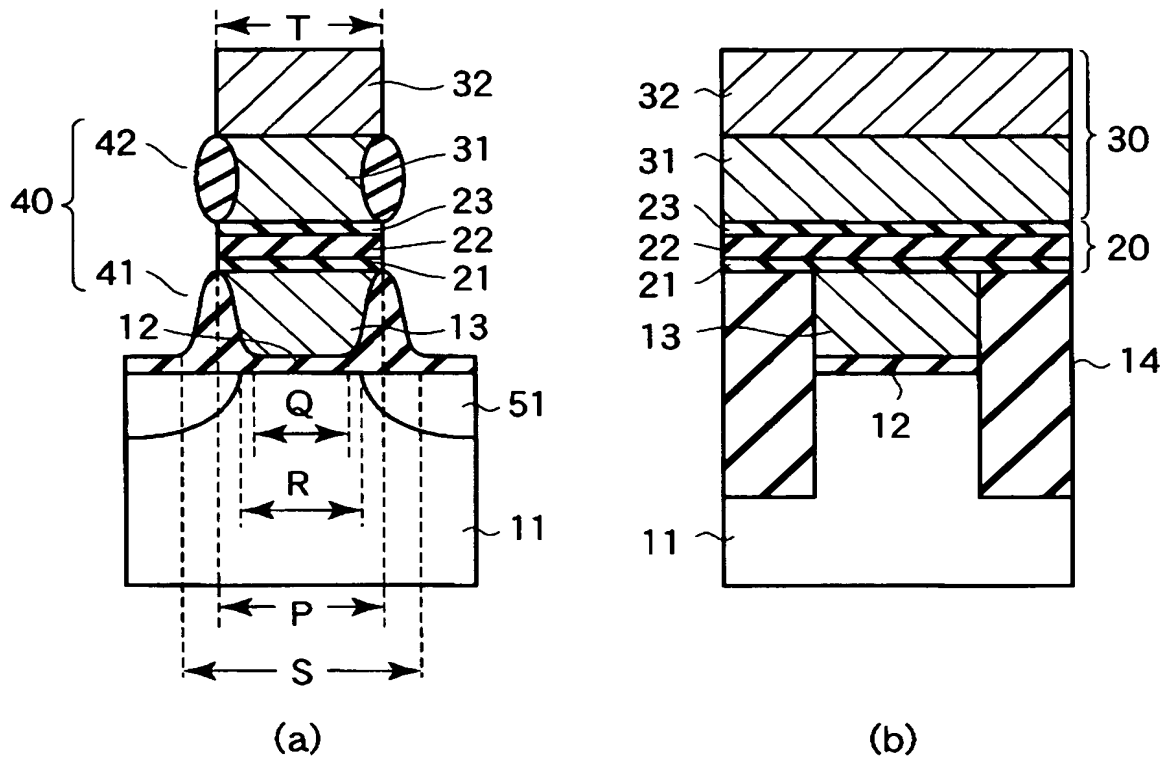
【図 1 1】従来の不揮発性半導体メモリセルの概略構造を示す断面図。

【符号の説明】

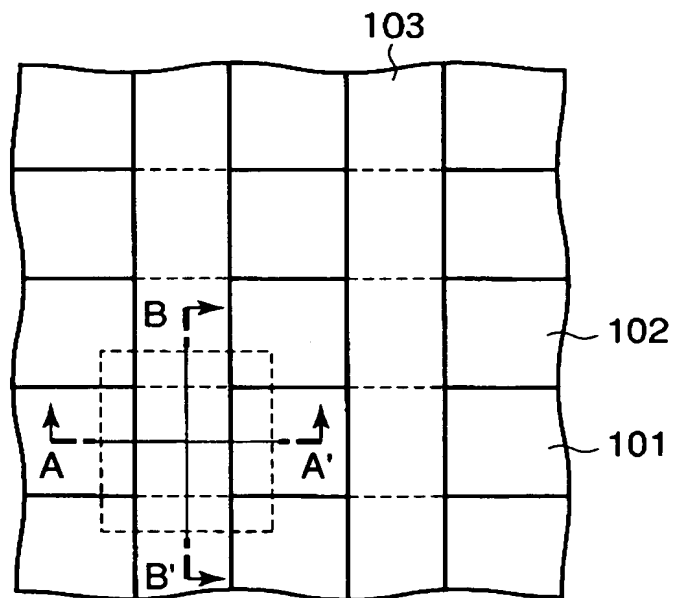
【 0 0 7 7 】

- 1 1 …シリコン基板
- 1 2 …トンネル絶縁膜
- 1 3 …浮遊ゲート電極（第 1 の導電層）
- 1 4 …埋め込み絶縁膜（素子分離用絶縁膜）
- 2 0 …電極間絶縁膜
- 2 1 …第 1 の酸化剤バリア層
- 2 2 …中間絶縁層
- 2 3 …第 2 の酸化剤バリア層
- 3 0 …制御ゲート電極
- 3 1 …制御ゲート電極下層（第 2 の導電層）
- 3 2 …制御ゲート電極上層（第 3 の導電層）
- 4 0 …ゲート側壁絶縁膜
- 4 1 …第 1 の側壁絶縁膜
- 4 2 …第 2 の側壁絶縁膜
- 5 1 …ソース／ドレイン拡散層
- 5 2 …電極間埋め込み用絶縁膜
- 6 1 …ストッパ絶縁膜
- 6 2 …素子分離溝
- 6 3 ……第 3 の酸化剤バリア層
- 6 4 …スリット部
- 1 0 1 …素子形成領域
- 1 0 2 …素子分離領域
- 1 0 3 …ゲート配線層（ワード線）

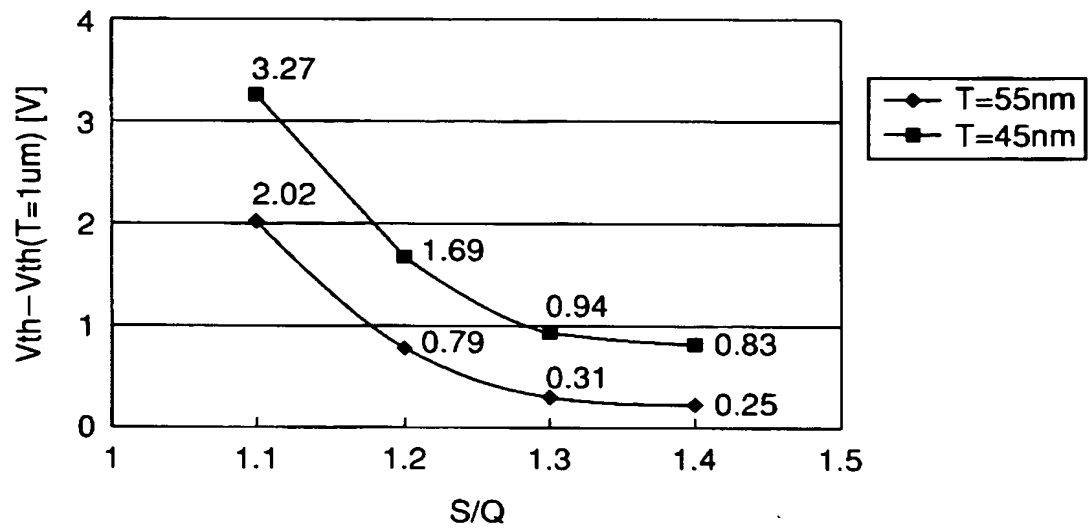
【書類名】 図面  
【図 1】



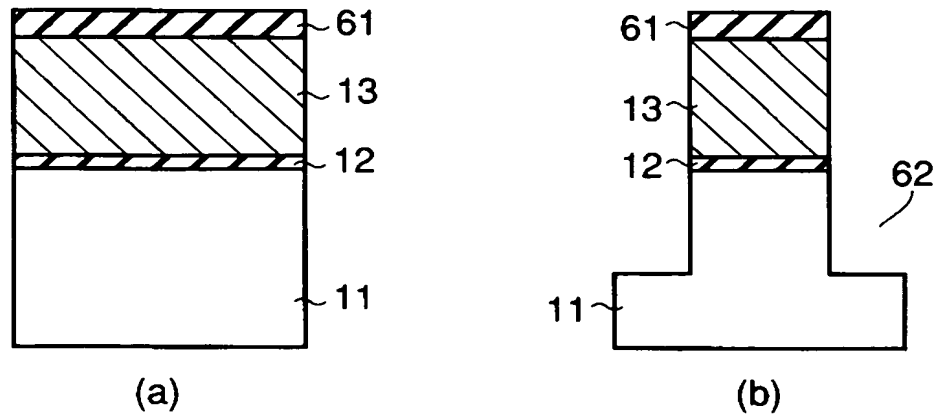
【図 2】



【図 3】

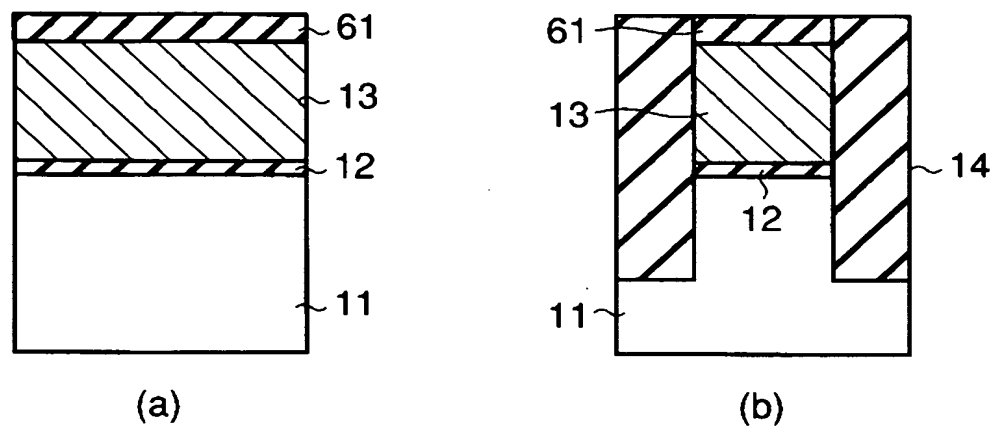


【図 4】

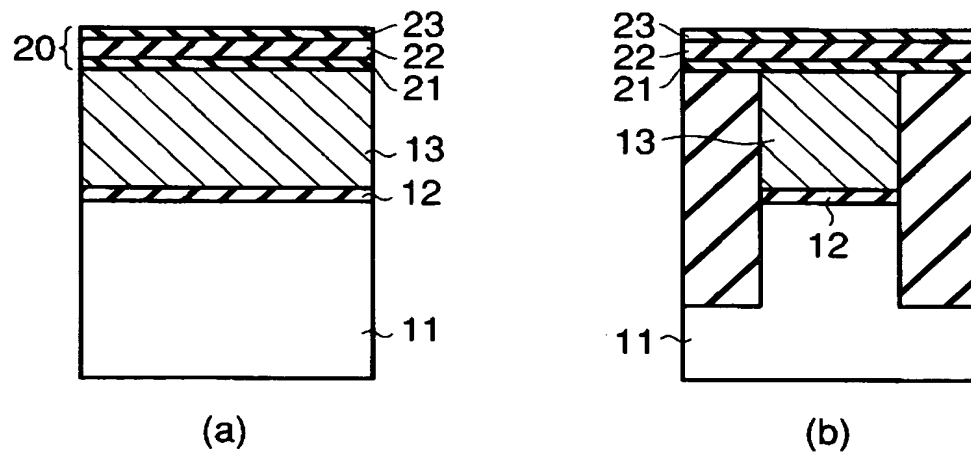




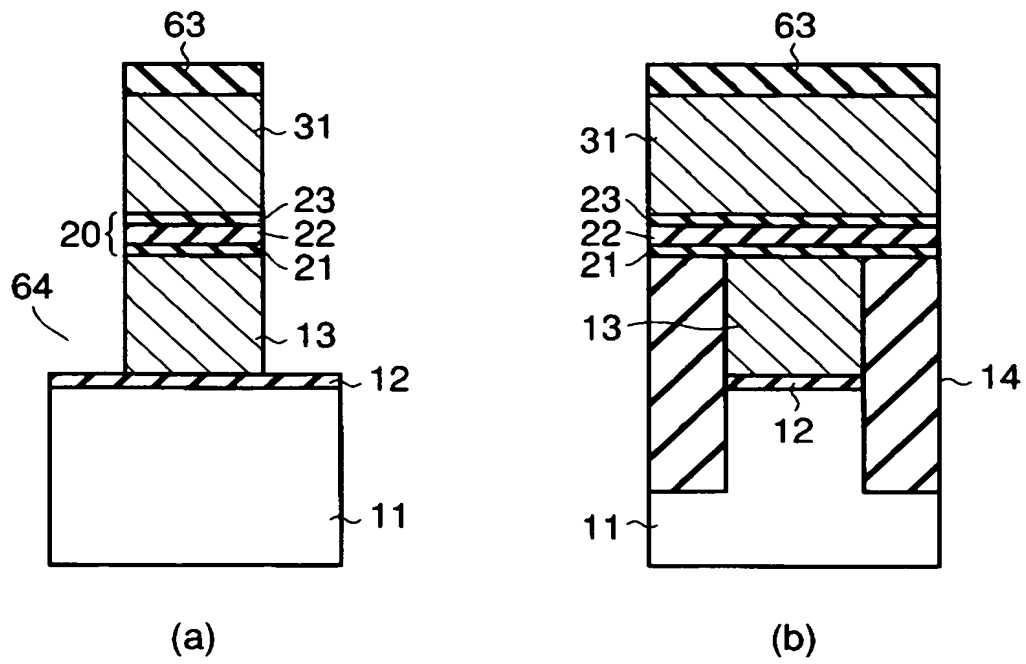
【図 5】



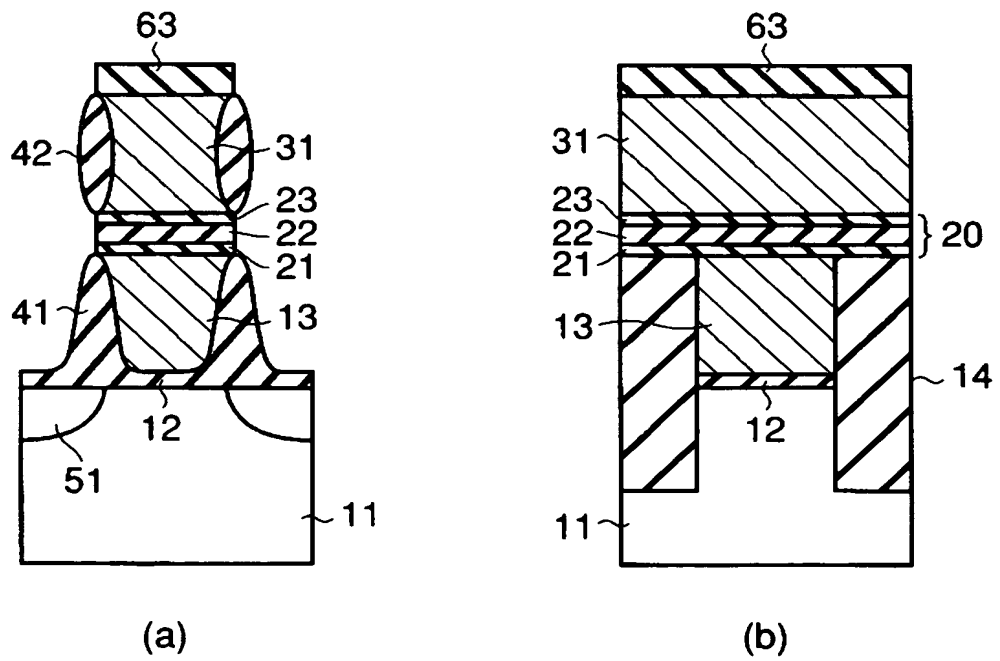
【図 6】



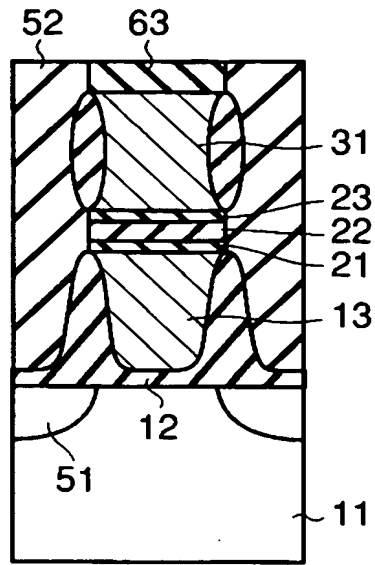
【図 7】



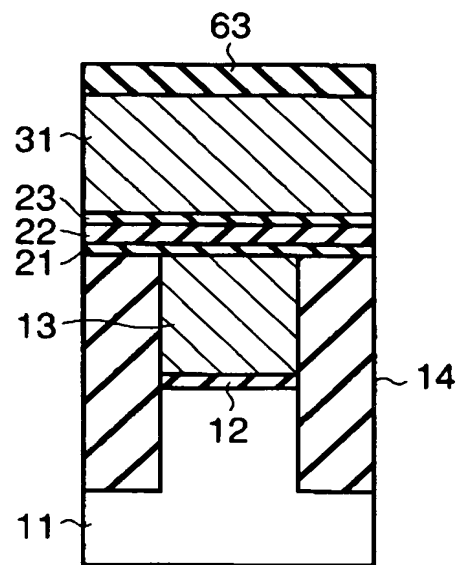
【図 8】



【図 9】

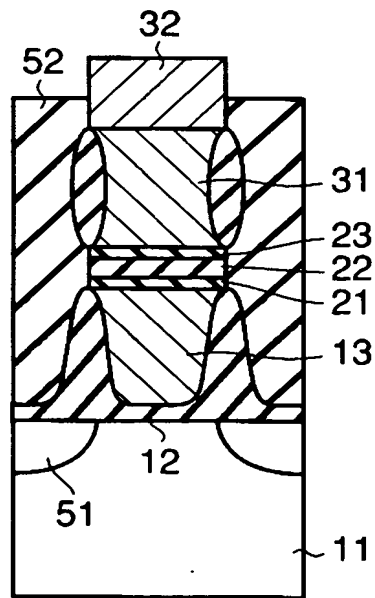


(a)

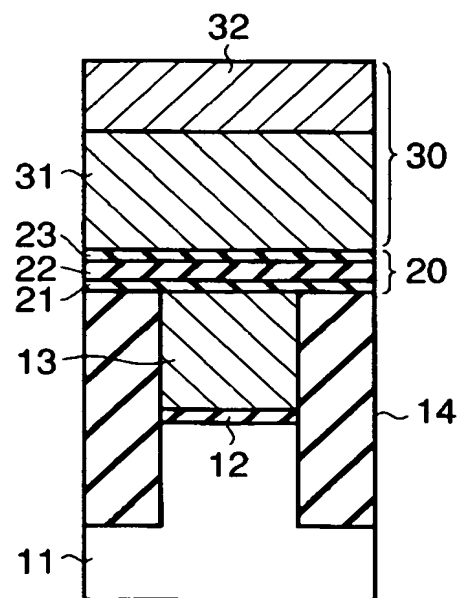


(b)

【図 10】

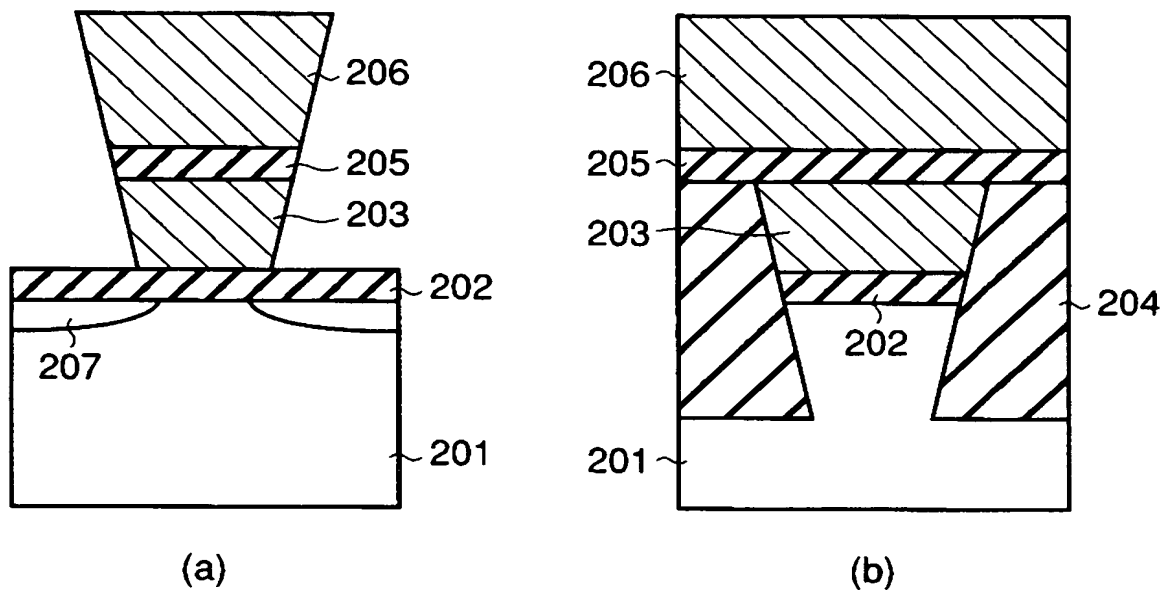


(a)



(b)

【図 11】



## 【書類名】 要約書

## 【要約】

【課題】 セルのカップリング比を大きくすると共に、短チャネル効果を回避することができ、しきい値の制御性を良くして書き込み不良を防止する。

【解決手段】 不揮発性半導体メモリセルにおいて、半導体基板 11 と、この半導体基板 11 上に積層形成された、トンネル絶縁膜 12、浮遊ゲート電極 13、電極間絶縁膜 20、及び制御ゲート電極 30 からなり、且つ電極間絶縁膜 20 を第 1 の酸化剤バリア層 21、中間絶縁層 22、第 2 の酸化剤バリア層 23 の 3 層構造に形成した積層ゲート構造部と、この積層ゲート構造部の両側面にそれぞれ形成されたゲート側壁絶縁膜 40 とを具備してなり、ゲート側壁絶縁膜 40 の膜厚は、浮遊ゲート電極 13 の側部において電極間絶縁膜 20 側からトンネル絶縁膜 12 側に向かって増加し、浮遊ゲート電極 13 のチャネル長方向の幅が電極間絶縁膜 20 側からトンネル絶縁膜 12 側に向かって減少している。

【選択図】 図 1

特願 2 0 0 4 - 0 0 0 5 1 8

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝